

GDS5351x-GM

八通道可编程时钟发生器

产品规格书 V04

1. 产品简介

GDS5351x-GM 是一款可通过 I²C 配置的 8 通道时钟发生器，且可完全替代高精度应用中的晶振、压控振荡器 (VCXO)、锁相环 (PLL)、输出缓冲器等。

基于 PLL/VCXO 和高度合成的小数分频结构，GDS5351x 可以产生高达 200MHz 以内的任意时钟频率输出，应用更广泛。

GDS5351A-GM 使用一个外部时钟源可产生最多 8 个独立的时钟用来替代各种不同需求的时钟源。GDS5351B-GM 增加了一个内部 VCXO，且可灵活地替代独立时钟和同步时钟。它可以通过可靠地谐调到更大的范围来解决高成本的定制晶振应用。GDS5351C-GM 可通过一个外部参考时钟 CLKIN 实现相似的灵活应用。

1.1 产品特点

- 可产生 8 路 2.5kHz 到 200MHz 的任意频率
- 用户可通过 I²C 自定义配置
- 每个输出通路可实现高精度无误差合成
- 高线性 VCXO
- 任意时钟输入 (CLKIN)
- 低输出抖动
- 每个输出通路可选择配置扩频 (spread spectrum, SSC)
- 可工作在低成本、固定频率 (25MHz 或 27MHz) 的晶振下
- 时钟输出支持静态相位偏移
- 时钟输出上升沿/下降沿延时可编程控制
- 无毛刺的频率切换
- 相互独立的不同电源供电管脚：
 - ◇ 主控电源 (VDD): 2.5V 或 3.3V
 - ◇ 输出管脚电源 (VDDO): 1.8V、2.5V 或 3.3V
- 高电源抑制比 (PSRR)
- 低功耗
- 输出延时可调
- 封装形式: QFN-20 (4x4mm)
- 可兼容 PCIeGen1
- 支持差分输出

1.2 应用范围

- 音/视频设备、游戏机
- 打印机、扫描仪、投影仪
- 手持设备
- 激光测距仪
- 家用网关设备
- 网络、通信
- 服务器、存储器
- 晶振替代

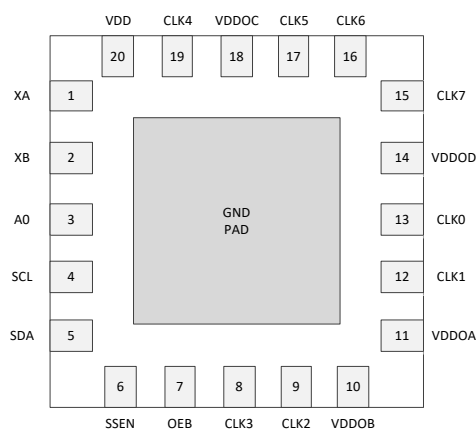
1.3 订货信息

| 产品型号 | 打印标记 | 封装类型 | 包装形式 | 最小包装数量 |
|-------------|----------|--------|------|--------|
| GDS5351A-GM | GDS5351A | QFN-20 | 编带 | 5000 |
| GDS5351B-GM | GDS5351B | QFN-20 | 编带 | 5000 |
| GDS5351C-GM | GDS5351C | QFN-20 | 编带 | 5000 |

2. 引脚描述

2.1 GDS5351A-GM (QFN-20) 2.1

.1. 引脚示意图



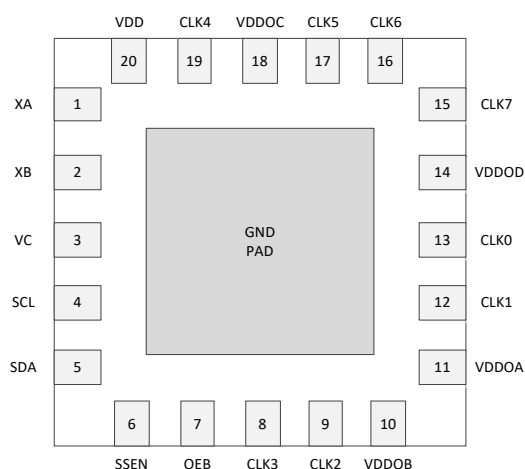
2.1.2. 引脚说明

| 管脚 | 序号 | I/O 类型 | 功能描述 |
|-------|--------|--------|------------------------------|
| XA | 1 | I | 外部晶振输入 |
| XB | 2 | I | 外部晶振输入 |
| CLK0 | 13 | O | 输出时钟 0 |
| CLK1 | 12 | O | 输出时钟 1 |
| CLK2 | 9 | O | 输出时钟 2 |
| CLK3 | 8 | O | 输出时钟 3 |
| CLK4 | 19 | O | 输出时钟 4 |
| CLK5 | 17 | O | 输出时钟 5 |
| CLK6 | 16 | O | 输出时钟 6 |
| CLK7 | 15 | O | 输出时钟 7 |
| A0 | 3 | I | I2C 地址位 |
| SCL | 4 | I | I2C 总线串行时钟输入，外接 1kΩ电阻拉高到 VDD |
| SDA | 5 | I/O | I2C 总线数据输入，外接 1kΩ电阻拉高到 VDD |
| SSEN | 6 | I | 扩频使能，高电平使能 |
| OEB | 7 | I | 输出分频器使能，低电平使能 |
| VDD | 20 | P | 芯片电源 |
| VDDOA | 11 | P | CLK0 和 CLK1 输出电源供电 |
| VDDOB | 10 | P | CLK2 和 CLK3 输出电源供电 |
| VDDOC | 18 | P | CLK4 和 CLK5 输出电源供电 |
| VDDOD | 14 | P | CLK6 和 CLK7 输出电源供电 |
| GND | 中心 PAD | P | 地 |

I=Input, O=Output, P=Power

2.2 GDS5351B-GM (QFN-20)

2.2.1. 引脚示意图



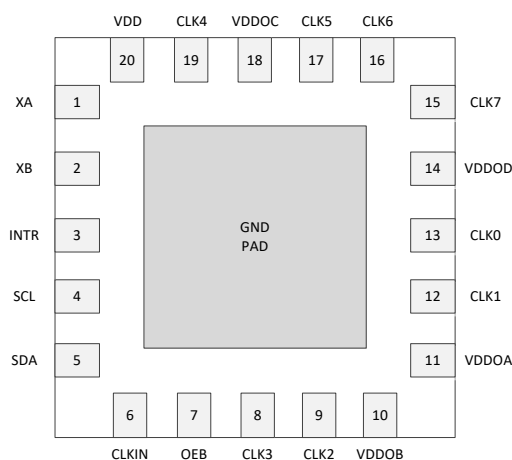
2.2.2. 引脚说明

| 管脚 | 序号 | I/O 类型 | 功能描述 |
|-------|--------|--------|------------------------------|
| XA | 1 | I | 外部晶振输入 |
| XB | 2 | I | 外部晶振输入 |
| CLK0 | 13 | O | 输出时钟 0 |
| CLK1 | 12 | O | 输出时钟 1 |
| CLK2 | 9 | O | 输出时钟 2 |
| CLK3 | 8 | O | 输出时钟 3 |
| CLK4 | 19 | O | 输出时钟 4 |
| CLK5 | 17 | O | 输出时钟 5 |
| CLK6 | 16 | O | 输出时钟 6 |
| CLK7 | 15 | O | 输出时钟 7 |
| VC | 3 | I | VCXO 电压控制输入 |
| SCL | 4 | I | I2C 总线串行时钟输入，外接 1kΩ电阻拉高到 VDD |
| SDA | 5 | I/O | I2C 总线数据输入，外接 1kΩ电阻拉高到 VDD |
| SSEN | 6 | I | 扩频使能，高电平使能 |
| OEB | 7 | I | 输出分频器使能，低电平使能 |
| VDD | 20 | P | 芯片电源 |
| VDDOA | 11 | P | CLK0 和 CLK1 输出电源供电 |
| VDDOB | 10 | P | CLK2 和 CLK3 输出电源供电 |
| VDDOC | 18 | P | CLK4 和 CLK5 输出电源供电 |
| VDDOD | 14 | P | CLK6 和 CLK7 输出电源供电 |
| GND | 中心 PAD | P | 地 |

I=Input, O=Output, P=Power

2.3 GDS5351C-GM (QFN-20)

2.3.1. 引脚示意图



2.3.2. 引脚说明

| 管脚 | 序号 | I/O 类型 | 功能描述 |
|-------|--------|--------|------------------------------|
| XA | 1 | I | 外部晶振输入 |
| XB | 2 | I | 外部晶振输入 |
| CLK0 | 13 | O | 输出时钟 0 |
| CLK1 | 12 | O | 输出时钟 1 |
| CLK2 | 9 | O | 输出时钟 2 |
| CLK3 | 8 | O | 输出时钟 3 |
| CLK4 | 19 | O | 输出时钟 4 |
| CLK5 | 17 | O | 输出时钟 5 |
| CLK6 | 16 | O | 输出时钟 6 |
| CLK7 | 15 | O | 输出时钟 7 |
| INTR | 3 | O | 中断脚，开漏输出，要求大于 4.7kΩ电阻上拉到 VDD |
| SCL | 4 | I | I2C 总线串行时钟输入，外接 1kΩ电阻拉高到 VDD |
| SDA | 5 | I/O | I2C 总线数据输入，外接 1kΩ电阻拉高到 VDD |
| CLKIN | 6 | I | PLL 参考时钟输入 |
| OEB | 7 | I | 输出分频器使能，低电平使能 |
| VDD | 20 | P | 芯片电源 |
| VDDOA | 11 | P | CLK0 和 CLK1 输出电源供电 |
| VDDOB | 10 | P | CLK2 和 CLK3 输出电源供电 |
| VDDOC | 18 | P | CLK4 和 CLK5 输出电源供电 |
| VDDOD | 14 | P | CLK6 和 CLK7 输出电源供电 |
| GND | 中心 PAD | P | 大地 |

I=Input, O=Output, P=Power

3. 功能描述

GDS5351x-GM 是一款可 I²C 编程的多功能时钟发生器，可替代晶振、VCXO、PLL 以及输出缓冲器。图 1 给出了 GDS5351x 的主要结构，分为输入级电路、PLL/VCXO 处理电路、MSx 综合电路以及输出电路。

输入级电路根据 A/B/C 版本不同选择不同的输入：外部晶振 XTAL、控制电压 VC、输入时钟 CLKIN。PLL/VCXO 处理电路将输入频率倍频到一个较高的频率，然后 MSx 综合电路使用高精度小数分频器产生需求的输出频率。另外输出电路提供了整数分频器，最低可产生 2.5KHz 的输出频率。从输入频率到输出的每条通路可任意选择时钟源。

正是因为这种高精度灵活的结构，GDS5351x-GM 每个输出通路可以同步产生独立的非整数相关的时钟频率。

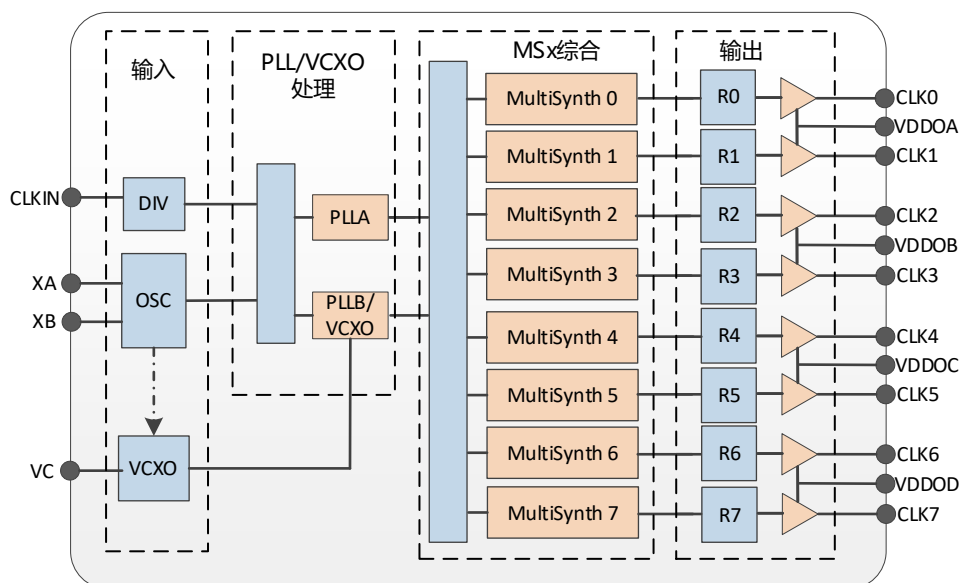


图 1. GDS5351x-GM 功能结构图

3.1 输入

3.1.1. 晶振输入 (XA, XB)

GDS5351x 使用一个频率固定的晶振作为内部时钟的参考时钟。晶振输出可以作为 PLL 的参考以产生异步时钟，晶振频率为 25MHz 或 27MHz。晶振也可以作为锁定 VCXO 频率的参考。

GDS5351x 提供了可配置大小的内部负载电容，这就省去了外部负载电容的使用。内部负载电容可配置为 0,6,8,10pF，晶振可以支持选择 2pF 的外部负载电容。

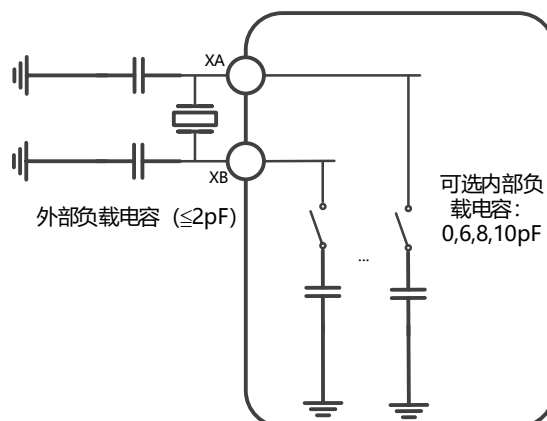


图 2. 外部晶振负载电容选择

3.1.2. 外部时钟输入 (CLKIN)

需要产生同步时钟输出时，外部时钟输入可用作 PLL 的参考时钟。CLKIN 可用频率范围为 10MHz 到 100MHz。输入级电路使用分频器将 CLKIN 输入到 PLL 的最高频率限制到 30MHz。

3.1.3. 压控输入 (VC)

GDS5351B-GM 的 VCXO 不需要额外的 PLL 晶振。只需要一个标准的低成本的低成本固定晶振 (25 或 27MHz)。

VCXO 的调谐范围可配置以适应更广的应用范围。GDS5351B 中的 VCXO 设计具备更好的应用条件, 包括其高线性、可操作电压域广 (VDD10%到 90%)、启动和操作稳定。

GDS5351B-GM 的独特性在于它可以通过 VC 脚上相同的控制电压产生多个输出频率。这个特性使得 GDS5351B-GM 可替代多个被锁定到相同参考时钟的 PLL 或 VCXO。

3.1.4. PLL/VCXO 处理模块及 MSx 综合分频器

PLL/VCXO 处理模块将低频的参考频率倍频到一个高频频率 (600MHz ~ 900MHz)。而 MSx 综合分频器使用高精度的小数分频器将高频频率分频为满足要求的输出频率。每个 PLL 只允许一个大于 112.5MHz 的输出频率 (比如, 125MHz (CLK0), 130MHz(CLK1), 150MHz (CLKx) 是不允许同时输出的)。注意大于 112.5MHz 的频率可以复制到多个输出, 比如, 可以输出 (CLK0-3) 四个 125MHz, 类似的可以输出四个 130MHz 到另外四个输出 (CLK4-7)。

PLL/VCXO 处理模块的参考频率来源可以是 CLKIN, 也可以是 XTAL。这使得每个 PLL 可以锁定不同的时钟源来产生相互独立的同步时钟。当然, 两个 PLL 也可以锁定相同的时钟源。允许每个 MSx 综合分频器连接到 PLLA 或者 PLLB。这种灵活的结构可以让每个输出可以通过扩频或者不扩频生成同步或者异步时钟, 并且到每个输出上是稳定的相关的非整数分频时钟。

所有的 VCXO 输出都只能通过 PLLB 产生。高精度的 MSx 分频器生成的 VCXO 输出的中心频率是 112.5MHz。中心频率通过输入管脚 VC 控制。GDS5351B-GM 具备可以通过多个综合分频器得到 VCXO 输出的特性。图 3 所示为 VC 控制多个 VCXO 输出频率的示意图。低于 2.5kHz 的可以通过综合分频器之后的 R 分频器来产生。

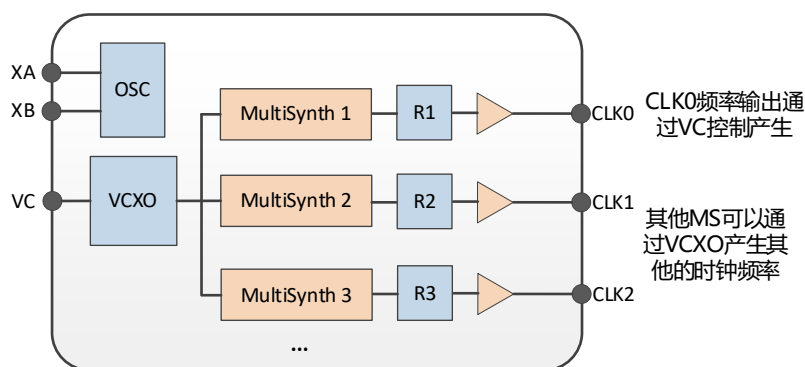


图 3. GDS5351B-GM 作为多路 VCXO 输出

3.2 输出

输出模块包含了额外的分频器, 可以用以产生低于 2.5kHz 的频率。所有的输出分频器, 通过独立的输出电源脚 VDDOx 供电 (两个输出共用一个电源脚, 共 4 组), 并允许不同的电源输入 (1.8V、2.5V 或 3.3V)。

3.3 扩频

扩频可以通过 PLLA 使能到任意时钟输出。扩频在减小 EMI 方面非常有用。使能扩频的输出时钟会调整它的频率, 这有效地减少振幅的辐射功率。注意扩频在使用 PLLB 或 VCXO 输出时钟时是无效的。

扩频可以通过设置使能，GDS5351A/B 版本还提供了 SSEN 控制脚使能。GDS5351A/B/C-GM 给出中心扩频和下扩频两种选择，允许设计者选择合适的扩频方式来满足系统性能和 EMI 指标要求。

3.4 控制脚 (OEB,SSEN)

GDS5351x-GM 提供了使能/关闭时钟输出和扩频的控制管脚。3.

4.1. 输出使能 (OEB)

输出使能脚允许或关闭时钟输出。OEB 脚保持低电平使能时钟输出，OEB 脚拉高关闭输出。当输出时钟关闭时，输出可以配置为高、低或者高阻态。

通过拉低 OEB，输出使能控制电路确保了时钟周期输出更小的误错率。OEB 拉高后，在进入时钟输出关闭之前允许输出当前时钟完整的时钟周期。

3.4.2. 扩频使能 (SSEN) GDS5351A-GM and GDS5351B-GM Only

GDS5351A/B-GM 还支持外部扩频使能脚，可以通过该管脚关断已经配置过扩频使能的输出的扩频功能。SSEN 低电平关断扩频功能。SSEN 脚在 EMI 性能测试期间为使用扩频时钟提供更方便的方法。

3.4.3. 中断脚 (INTR)

GDS5351C-GM 包括一个中断脚 (INTR)。该管脚是开漏输出，要求外部 4.7kΩ 电阻拉到 VDD。当 GDS5351C-GM 发生中断时该管脚被拉低，如参考晶振失效、外部输入时钟失效、PLLA/PLL B 时钟丢失等。

根据不同的频率输出需求，配置不同的中断，忽略不相干的中断。例如，若频率输出配置不使用 PLL B，那么 LOL_B 中断将不会拉低 INTR 脚。可以通过 I2C 获取中断状态寄存器来显示任意时刻的中断的详细情况。

3.5 I²C 接口

GDS5351A/B/C-GM 的许多功能和特性需要通过 I²C 读写寄存器来控制。下面列举一些通过 I²C 接口控制的特性，完整的列表可以参考寄存器和编程部分。

状态指示：

- (1) 参考晶振丢失，LOS_XTAL，见寄存器 reg0[3]
- (2) CLKIN 丢失，LOS_CLKIN，见寄存器 reg0[4]
- (3) PLLA/PLL B 锁定失效，LOL_A/LOL_B，见寄存器 reg0[6:5]

◇ 配置 PLL 和综合分频器

◇ 配置扩频（向下扩频或中心扩频，调幅比例）

◇ PLL 和综合分频器选择控制

◇ 设置时钟输出选择：

- (1) 使能或禁止时钟输出
- (2) 时钟输出相位翻转或不翻转
- (3) 输出分频值 (2^n , $n=1..7$)
- (4) 禁止时钟输出时输出状态（高电平、低电平或高阻态）
- (5) 输出相位偏移量

I²C 接口是包含 7 位地址从机模式，支持 100kbps 的标准模式和 400kbps 的快速模式，以及地址自加的数据块传输。

I²C 总线包含双线的串行数据线 (SDA) 和串行时钟输入 (SCL)。SDA 和 SCL 管脚必须通过大于 1K 的外部上拉电阻

接到电源。

GDS5351x 的 7 位从设备地址包括 6 位固定地址加上 1 位可选 LSB 位。对于要求一个主 I²C 上挂多个 GDS5351x 的应用，LSB 位可以通过 A0 脚选择 0 或 1。对于没有 A0 脚的封装，默认地址为 0x60。

| | | | | | | |
|---|---|---|---|---|---|-------|
| 6 | 5 | 4 | 3 | 2 | 1 | 0(A0) |
| 1 | 1 | 0 | 0 | 0 | 0 | 0/1 |

图 4.GDS5351A-GT I2C 从机地址

数据传输方式采用 MSB 优先的 8 位数据传输。写命令包括 7 位从机地址和 1 位写标志、8 位的寄存器地址和 8 位的数据。写块操作只需要追加其他数据字节，地址自加。

写操作—单字节

| | | | | | | | | |
|---|---------------|---|---|---------------|---|-----------|---|---|
| S | Slv Addr[6:0] | 0 | A | Reg Addr[7:0] | A | Data[7:0] | A | P |
|---|---------------|---|---|---------------|---|-----------|---|---|

写操作—块（地址自加）

| | | | | | | | | | | | | | |
|---|---------------|---|---|----------------|---|------------|---|------------|-----|------|------------|---|---|
| S | Slv Addr[6:0] | 0 | A | Reg Addr0[7:0] | A | Data0[7:0] | A | Data1[7:0] | A | ... | Datan[7:0] | A | P |
| | | | | | | 地址+1 | | | ... | 地址+n | | | |

图 5.I2C 写操作

读操作包括两条命令。第一条为写命令，用以发送寄存器地址；第二条为读命令，用来接收该寄存器的数据。同样支持数据块读操作。

读操作—单字节

| | | | | | | |
|---|---------------|---|---|---------------|---|---|
| S | Slv Addr[6:0] | 0 | A | Reg Addr[7:0] | A | P |
|---|---------------|---|---|---------------|---|---|

| | | | | | | |
|---|---------------|---|---|-----------|---|---|
| S | Slv Addr[6:0] | 1 | A | Data[7:0] | N | P |
|---|---------------|---|---|-----------|---|---|

读操作—块（地址自加）

| | | | | | | |
|---|---------------|---|---|---------------|---|---|
| S | Slv Addr[6:0] | 0 | A | Reg Addr[7:0] | A | P |
|---|---------------|---|---|---------------|---|---|

| | | | | | | | | | | | |
|---|---------------|---|---|------------|---|------------|-----|------|------------|---|---|
| S | Slv Addr[6:0] | 1 | A | Data0[7:0] | A | Data1[7:0] | A | ... | Datan[7:0] | N | P |
| | | | | 地址+1 | | | ... | 地址+n | | | |

图 6.I2C 读操作

3.6 配置

GDS5351A/B/C-GM 是一款可以通过 I²C 接口配置的灵活的时钟发生器。默认配置存储在 OTP 中，用户可以将通用用户配置烧录 OTP 中，每次上电后自动从 OTP 中加载到寄存器中。这种方式适用于上电时需要提供特定时钟的应用场景。

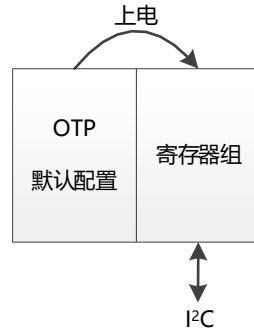


图 7.GDS5351A-GM 配置

上电之后，可以通过 I²C 接口对寄存器进行读写操作来改变应用配置。

3.6.1. 配置流程

根据输出时钟频率要求，计算并配置相应寄存器，配置流程如下：

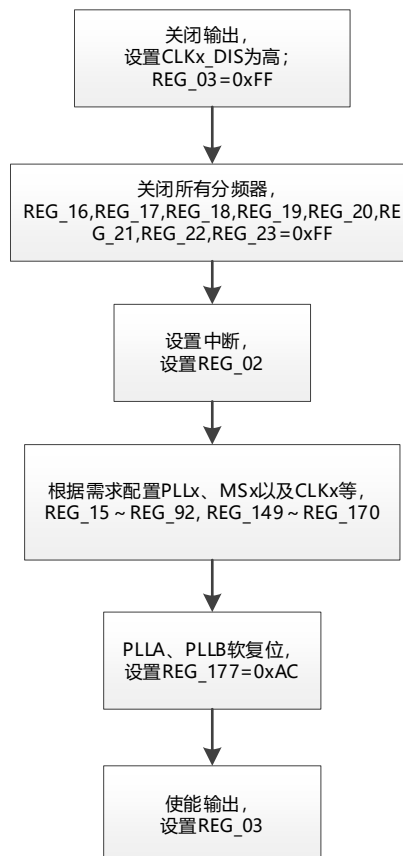


图 8.I²C 配置流程

3.7 相关方程

3.7.1. PLL 反馈分频器配置

PLL 时钟源及 CLKIN 的分频 CLKIN_DIV 确定后，两个 PLL 的 VCO 输出频率可以通过以下公式来选择并锁定。PLL 分频器通过参考时钟锁定后，VCO 频率与参考时钟源的关系如下

$$f_{VCO} = f_{XTAL} \times \left(a + \frac{b}{c}\right) \quad \text{或} \quad f_{VCO} = \frac{f_{CLKIN}}{CLKIN_DIV} \times \left(a + \frac{b}{c}\right)$$

其中 $\left(a + \frac{b}{c}\right)$ 表示倍频比，且 $\left(a + \frac{b}{c}\right) \in [(15 + 0/1,048,575), 90]$ ，根据参考时钟及 CLKIN_DIV 选择不同大小，使得 $600\text{MHz} \leq f_{VCO} \leq 900\text{MHz}$ 。PLL 反馈分频器相关寄存器配置值由一下公式计算

$$MSNx_P1[17:0] = 128 \times a + \left\lfloor 128 \times \frac{b}{c} \right\rfloor - 512$$

$$MSNx_P2[19:0] = 128 \times b - c \times \left\lfloor 128 \times \frac{b}{c} \right\rfloor$$

$$MSNx_P3[19:0] = c$$

3.7.2. 输出综合分频器配置

输出频率 CLKx 由对应的输出综合分频器 MSx 控制输出。通过 MSx_SRC 可以选择不用源 PLLA/PLLB，然后由输出综合分频器 MSx 分频。

对于小于等于 150MHz，输出分频器设置分频比为 $\left(a + \frac{b}{c}\right)$ ，即

$$f_{out} = f_{VCO} / \left(a + \frac{b}{c}\right)$$

相关寄存器设置如下

$$MSx_P1[17:0] = 128 \times a + \left\lfloor 128 \times \frac{b}{c} \right\rfloor - 512$$

$$MSx_P2[19:0] = 128 \times b - c \times \left\lfloor 128 \times \frac{b}{c} \right\rfloor$$

$$MSx_P3[19:0] = c$$

对于通过综合分频器 MS0~MS5 分频输出的大于 150MHz，MSx 分频器设置为 4 分频输出。相关寄存器设置如下

$$MSx_P1=0, MSx_P2=0, MSx_P3=1, MSx_INT=1, MSx_DIVBY4[1:0]=2' b11.$$

3.7.3. 扩频配置

扩频可以应用到使用 PLLA 作为参考的所有输出上。向下扩频范围为 -0.1%~-2.5%，中心扩频范围为 $\pm 1.5\%$ 。扩频调幅率被校准到近似 31.5kHz。

向下扩频相关配置参数计算公式如下

$$SSUDP[11:0] = \left\lfloor \frac{f_{PFD}}{4 \times 31,500} \right\rfloor$$

$$SSDN = 64 \times \left(a + \frac{b}{c}\right) \times \frac{sscAmp}{(1 + sscAmp) \times SSUDP}$$

$$\text{SSDN_P1}[11:0] = [\text{SSDN}]$$

$$\text{SSDN_P2}[14:0] = 32,767 \times [\text{SSDN} - \text{SSDN_P1}]$$

$$\text{SSDN_P3}[14:0] = 32,767 = 0x7FFF$$

$$\text{SSUP_P1} = 0, \text{SSUP_P2} = 0, \text{SSUP_P3} = 1$$

中心扩频相关参数配置计算公式如下

$$\text{SSUDP}[11:0] = \left\lfloor \frac{f_{\text{PFD}}}{4 \times 31,500} \right\rfloor$$

$$\text{SSUP} = 128 \times \left(a + \frac{b}{c} \right) \times \frac{\text{sscAmp}}{(1 + \text{sscAmp}) \times \text{SSUDP}}$$

$$\text{SSDN} = 128 \times \left(a + \frac{b}{c} \right) \times \frac{\text{sscAmp}}{(1 + \text{sscAmp}) \times \text{SSUDP}}$$

$$\text{SSUP_P1}[11:0] = [\text{SSUP}]$$

$$\text{SSUP_P2}[14:0] = 32,767 \times [\text{SSUP} - \text{SSUP_P1}]$$

$$\text{SSUP_P3}[14:0] = 32,767 = 0x7FFF$$

$$\text{SSDN_P1}[11:0] = [\text{SSDN}]$$

$$\text{SSDN_P2}[14:0] = 32,767 \times [\text{SSDN} - \text{SSDN_P1}]$$

$$\text{SSDN_P3}[14:0] = 32,767 = 0x7FFF$$

3.7.4. VCXO 配置

在 GDS5351B 中可以选择 PLLB 使用 VCXO 结构，所有需要 VCXO 的输出时钟都必须应用在 PLLB 上。

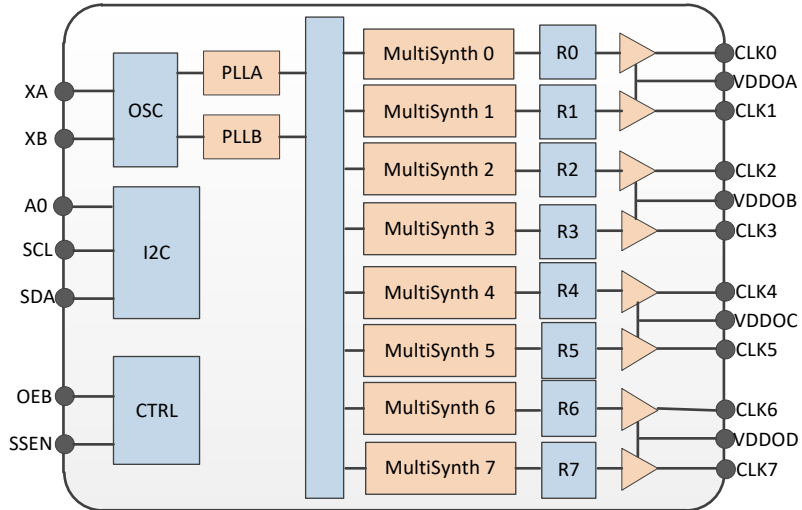
$$\text{VCXO_P}[21:0] = 1.03 \times \left(128 \times a + \frac{b}{c} \right) \times \text{APR}$$

$$c = 10^6$$

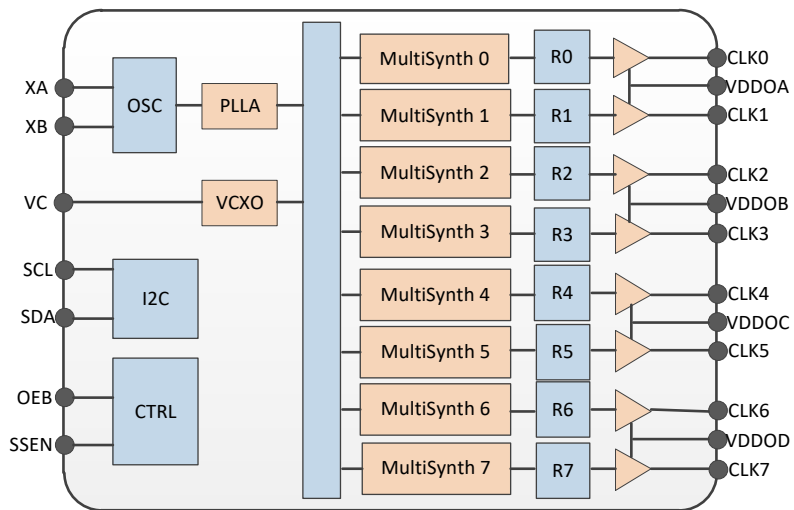
其中 1.03 是调节因子，APR 表示调节范围，比如理想调节范围为 $\pm 30\text{ppm}$ ，APR=30。

4. 电路框图

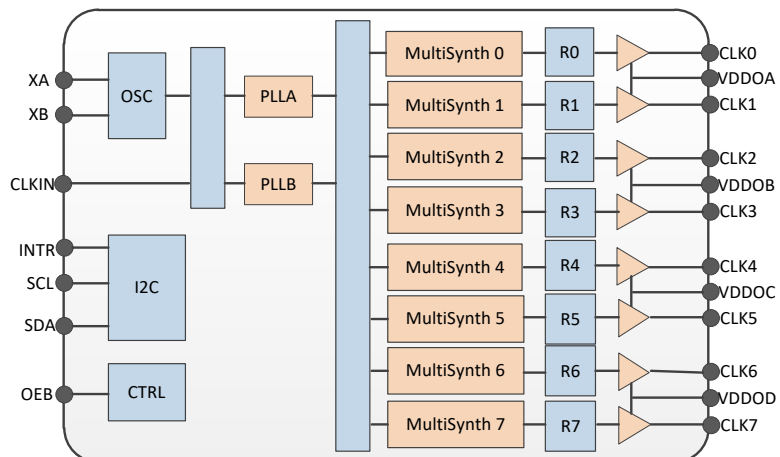
GDS5351A-GM (QFN-20)



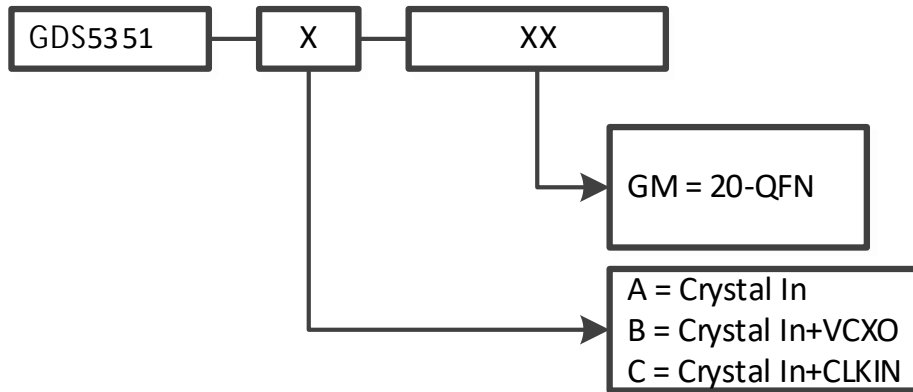
GDS5351B-GM (QFN-20)



GDS5351C-GM (QFN-20)



根据不同需求，GDS5351x-GM 可适应不同的功能，具体型号命名规则如下：



GDS5351x-GM 选型表

| 型号 | 封装形式 | 通信接口 | 参考频率 | 输出通道数 |
|-------------|-------|------------------|--------------|-------|
| GDS5351A-GM | QFN20 | I ² C | XTAL | 8 |
| GDS5351B-GM | QFN20 | I ² C | XTAL / VCXO | 8 |
| GDS5351C-GM | QFN20 | I ² C | XTAL / CLKIN | 8 |

5. 特性参数

5.1 极限参数

| 参数 | 符号 | 测试条件 | 范围值 | 单位 |
|-----------------------|-----------------|-----------------|-------------------|-----|
| DC 电压 | V_{DD_max} | - | -0.5 to 3.8 | V |
| 输入电压 | V_{IN_CLKIN} | CLKIN, SCL, SDA | -0.5 to 3.8 | V |
| | V_{IN_VC} | VC | -0.5 to (VDD+0.3) | V |
| | $V_{IN_XA/B}$ | PinsXA, XB | -0.5 to 1.3V | V |
| 结温 | T_J | - | -55 to 150 | °C |
| 电烙铁温度 (无铅) | T_{PEAK} | - | 260 | °C |
| 电烙铁温度处于TPEAK时持续时间(无铅) | T_P | - | 20-40 | Sec |

5.2 常规参数

5.2.1. DC 特性

(VDD=2.5V±10%或 3.3V±10%, TA=-40°C ~ 85°C)

| 参数 | 符号 | 测试条件 | 最小 | 标准 | 最大 | 单位 |
|--------|-------------|--------------------------|----|-----|-----|----|
| VDD 电流 | I_{VDD} | 8 通道输出 | - | 27 | 45 | mA |
| 输出端电流* | I_{VDDOX} | CL=5pF | - | 2.2 | 5.6 | mA |
| 输入电流 | I_{CLKIN} | CLKIN, SDA, SCL Vin<3.6V | - | - | 10 | μA |
| | I_{VC} | VC | - | - | 30 | μA |
| 输出阻抗 | Z_O | VDDO=3.3V, 最高驱动 | - | 50 | - | Ω |

注意*: 输出时钟小于或等于 100MHz。

5.2.2. AC 特性

(VDD=2.5V±10%或 3.3V±10%, TA=-40°C ~ 85°C)

| 参数 | 符号 | 测试条件 | 最小 | 标准 | 最大 | 单位 |
|-------------|------------|---|------|------|------|---------|
| 上电时间 | T_{RDY} | 从 VDD=min(VDD) 到时钟有效输出, CL=5pF, fCLKx>1MHz | - | 2 | 10 | ms |
| PLL 旁路下上电时间 | T_{BYP} | 从 VDD=min(VDD) 到时钟有效输出, CL=5pF, fCLKx>1MHz | - | 0.5 | 1 | ms |
| 输出使能时间 | T_{OE} | 从 OEB 拉低到时钟有效输出, CL=5pF, fCLKx>1MHz | - | - | 10 | μs |
| 输出频率切换时间 | T_{FREQ} | fCLKx>1MHz | - | - | 10 | μs |
| 输出相位偏移 | P_{STEP} | - | - | 333 | - | ps/step |
| 扩频范围 | SS_{DEV} | 下扩频, 步进 0.1% | -0.1 | - | -2.5 | % |
| | | 中心扩频, 步进 0.1% | ±0.1 | - | ±1.5 | % |
| 扩频调频率 | SS_{MOD} | - | 30 | 31.5 | 33 | kHz |

| 参数 | 符号 | 测试条件 | 最小 | 标准 | 最大 | 单位 |
|----------------------------|-----------------|---|-----|-------|------|-------|
| VCXO 说明 (仅 GDS5351B-GM 支持) | | | | | | |
| VCXO 控制电压范围 | V _c | - | 0 | VDD/2 | VDD | V |
| VCXO 增益 (可配置) | K _v | V _c =10%VDD ~ 90%VDD, VDD=3.3V | 18 | - | 150 | ppm/V |
| VCXO 控制电压的线性值 | K _{vL} | V _c =10%VDD ~ 90%VDD | -5 | - | 5 | % |
| VCXO 性能范围 | PR | VDD=3.3V | ±30 | 0 | ±240 | ppm |
| VCXO 调幅带宽 | - | - | - | 10 | - | kHz |

5.2.3. 输入时钟特性

(VDD=2.5V±10%或 3.3V±10%, TA=-40°C ~ 85°C)

| 参数 | 符号 | 测试条件 | 最小 | 标准 | 最大 | 单位 |
|--------------|--------------------|------|--------|----|--------|-----|
| 晶振频率 | f _{XTAL} | - | 25 | - | 27 | MHz |
| CLKIN 输入最低电压 | V _{IL} | - | -0.1 | - | 0.3VDD | V |
| CLKIN 输入最高电压 | V _{IH} | - | 0.7VDD | - | 3.6 | V |
| CLKIN 频率范围 | f _{CLKIN} | - | 10 | - | 100 | MHz |

5.2.4. 输出时钟特性

(VDD=2.5V±10%或 3.3V±10%, TA=-40°C ~ 85°C)

| 参数 | 符号 | 测试条件 | 最小 | 标准 | 最大 | 单位 |
|-----------------------------|-----------------------|--------------------------|---------|----|-----|-----------|
| 频率范围 ¹ | F _{CLK} | - | 0.0025 | - | 200 | MHz |
| 负载电容 | C _L | - | - | - | 15 | pF |
| 占空比 | DC | FCLK<160MHz, VDD/2 | 45 | 50 | 55 | % |
| | | FCLK>160MHz, VDD/2 | 40 | 50 | 60 | % |
| 上升/下降时间 | t _r | 20% ~ 80%, CL=5pF, 默认高驱动 | - | 1 | 1.5 | ns |
| | t _f | 20% ~ 80%, CL=5pF, 默认高驱动 | - | 1 | 1.5 | ns |
| 输出高电平 | V _{OH} | CL=5pF | VDD-0.6 | - | - | V |
| 输出低电平 | V _{OL} | CL=5pF | - | - | 0.6 | V |
| 周期抖动 ^{2, 3} | J _{PER} | 4 通道同时输出, 同一 VDDO | - | 35 | 85 | ps, pk-pk |
| | | 8 通道同时输出 | - | 60 | 135 | ps, pk-pk |
| 相邻时钟抖动 ^{2, 3} | J _{CC} | 4 通道同时输出, 同一 VDDO | - | 45 | 80 | ps, pk |
| | | 8 通道同时输出 | - | 60 | 130 | ps, pk |
| VCXO 周期抖动 ^{2, 3} | J _{PER_VCXO} | 4 通道同时输出, 同一 VDDO | - | 45 | 85 | ps, pk-pk |
| | | 8 通道同时输出 | - | 60 | 135 | ps, pk-pk |
| VCXO 相邻时钟抖动 ^{2, 3} | J _{CC_VCXO} | 4 通道同时输出, 同一 VDDO | - | 45 | 80 | ps, pk |
| | | 8 通道同时输出 | - | 60 | 130 | ps, pk |

(1) 超过 112.5MHz 的时钟仅允许同时输出两个。

(2) 在输出驱动时 (50Ω的输出阻抗) 测试时钟抖动超过 10K 周期。

(3) 抖动极大程度上取决于频率设置。规格表示的是实际最坏情况的频率设置，正常配置稳定性会更好。8 通道输出的 20-QFN 分别配置为 33.333MHz、74.25MHz、27MHz、24.576MHz、22.5792MHz、28.322MHz、125MHz、48MHz。

5.2.5. 晶振必要条件^{1,2}

| 参数 | 符号 | 最小 | 标准 | 最大 | 单位 |
|--------|------------|-----|----|-----|----------|
| 晶振频率 | f_{XTAL} | 25 | - | 27 | MHz |
| 负载电容 | C_{XL} | 6 | - | 12 | pF |
| 等效串联电阻 | r_{ESR} | - | - | 150 | Ω |
| 最大驱动等级 | d_L | 100 | - | - | μW |

(1) 晶振要求的负载电容 6,8,or 10pF 可以通过内部负载电容调节实现，见寄存器 183 的[7:6]位。晶振要求 12pF 负载电容时可使用内部 10pF 组合外加 2pF 负载电容。

5.2.6. I²C 特性 (SCL,SDA)¹

| 参数 | 符号 | 测试条件 | 标准模式 100kbps | | 快速模式 400kbps | | 单位 |
|--------------------|-------------|------------------------------|----------------|----------------|----------------|----------------|---------|
| | | | 最小 | 最大 | 最小 | 最大 | |
| 低电平输入 ² | V_{ILI2C} | - | -0.5 | $0.3V_{DDI2C}$ | -0.5 | $0.3V_{DDI2C}$ | V |
| 高电平输入 ² | V_{IHI2C} | - | $0.7V_{DDI2C}$ | 3.6 | $0.7V_{DDI2C}$ | 3.6 | V |
| 施密特迟滞电压 | V_{HYS} | - | - | - | 0.1 | - | V |
| 低电平输出电压 | V_{OLI2C} | $V_{DDI2C}=2.5/3.3V$ | 0 | 0.4 | 0 | 0.4 | V |
| 输入电流 | I_{II2C} | - | -10 | 10 | -10 | 10 | μA |
| I/O 管脚电容 | C_{II2C} | $V_{IN}=-0.1$ to V_{DDI2C} | - | 4 | - | 4 | pF |
| I2C 总线超时时间 | T_{TO} | 超时使能 | 25 | 35 | 25 | 35 | ms |

(1) 参考 NXP UM10204 I²C 总线规范。

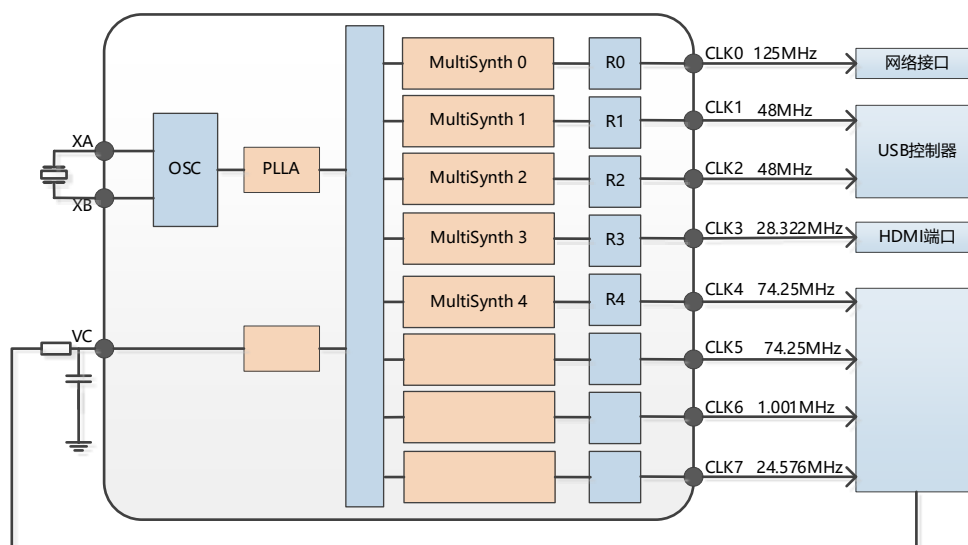
(2) I²C 仅支持 2.25V 到 3.63V 供电。

5.3 推荐工作条件

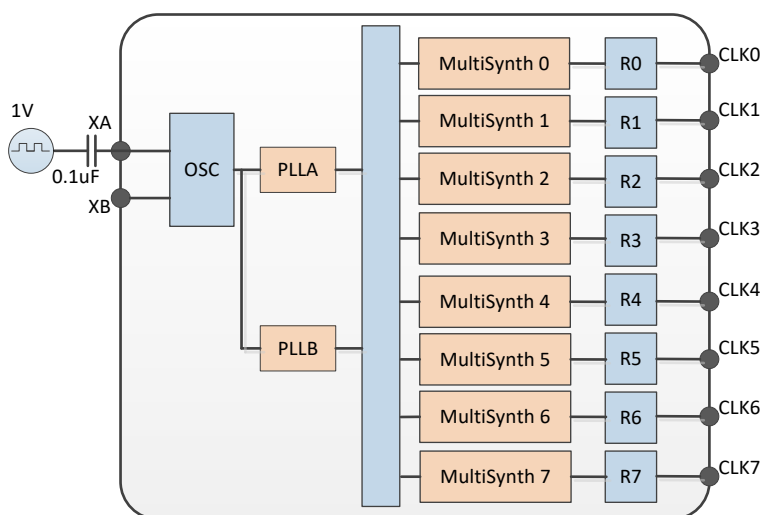
| 参数 | 符号 | 测试条件 | 最小 | 标准 | 最大 | 单位 |
|-------|-------|------|------|-----|------|-------------|
| 工作温度 | T_A | / | -40 | 25 | 85 | $^{\circ}C$ |
| 电源电压 | VDD | / | 3.0 | 3.3 | 3.60 | V |
| | | / | 2.25 | 2.5 | 2.75 | V |
| 输出端电压 | VDDOx | / | 1.71 | 1.8 | 1.89 | V |
| | | / | 2.25 | 2.5 | 2.75 | V |
| | | / | 3.0 | 3.3 | 3.60 | V |

注意：所有的 VDDOx 必须在 VDD 设定之前或同时设定。

6. 典型应用

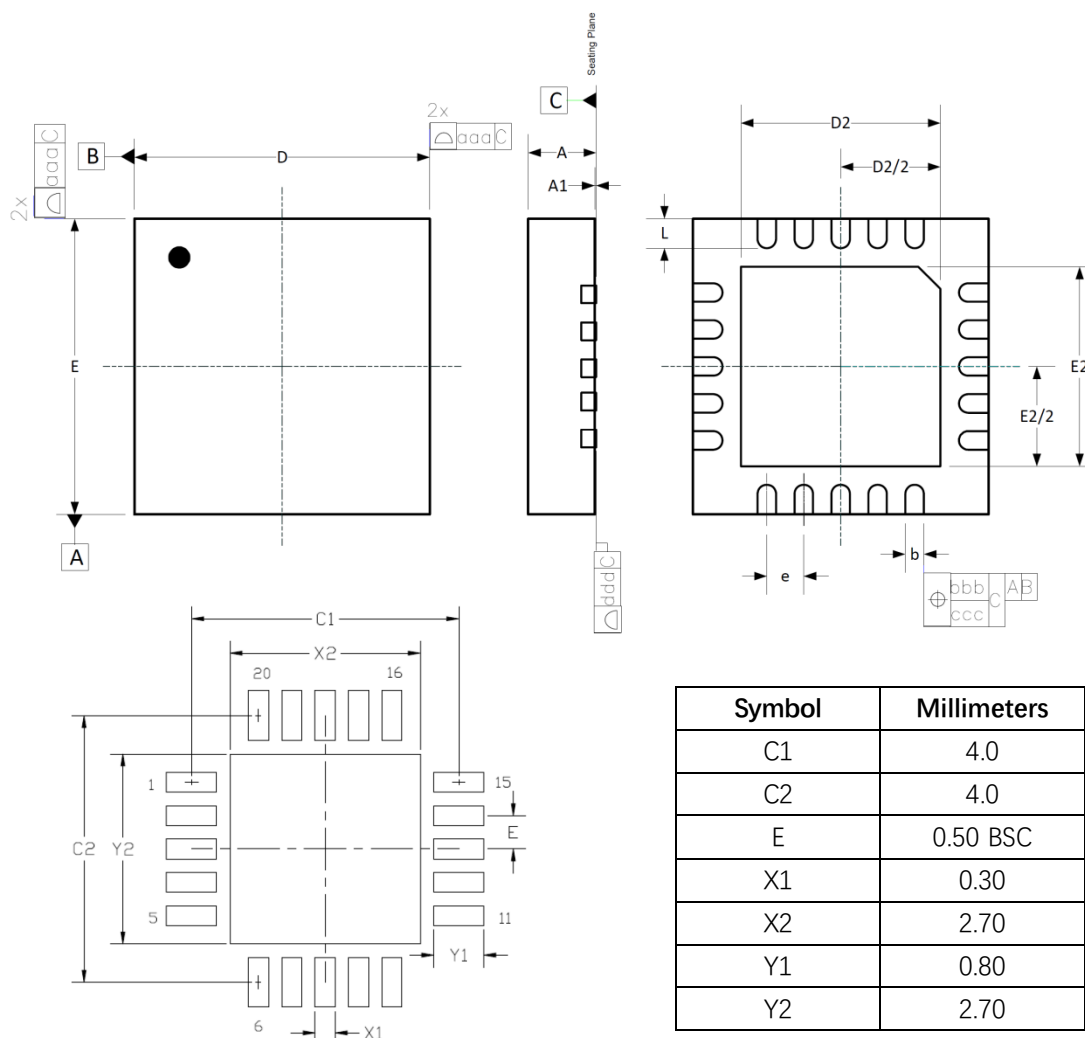


GDS5351 可以通过 XA 管脚输入一个有源时钟来驱动。



7. 封装尺寸

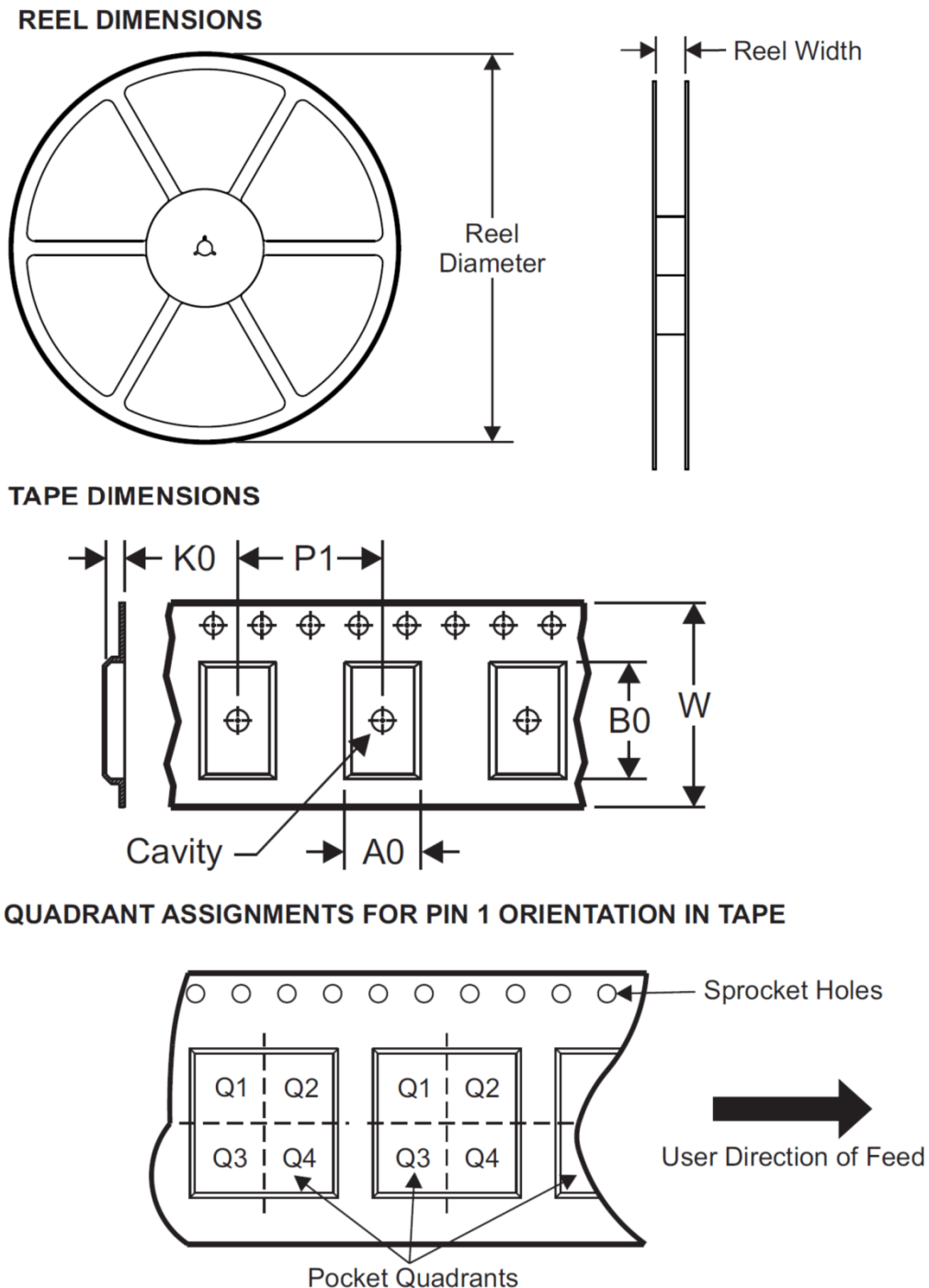
20-Pin QFN 封装尺寸



| Dimension | Min | Nom | Max |
|-----------|----------|------|------|
| A | 0.80 | 0.85 | 0.90 |
| A1 | 0.00 | - | 0.05 |
| b | 0.20 | 0.25 | 0.30 |
| D | 4.00 BSC | | |
| D2 | 2.65 | 2.70 | 2.75 |
| e | 0.50 BSC | | |
| E | 4.00 BSC | | |
| E2 | 2.65 | 2.70 | 2.75 |
| L | 0.35 | 0.40 | 0.45 |
| aaa | - | - | 0.10 |
| bbb | - | - | 0.10 |
| ccc | - | - | 0.08 |
| ddd | - | - | 0.10 |

8. 包装信息

卷带包装信息



| | |
|----|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

9. 版本信息

| 版本号 | 发布日期 | 说明 |
|-----|------------|---------|
| V01 | 2023.08.17 | 首次发布 |
| V02 | 2024.04.07 | 修正特征参数 |
| V03 | 2025.01.09 | 修订应用电路图 |
| V04 | 2025.07.01 | 更新格式及细节 |

防静电注意事项:



产品存储、搬运及使用时，应做好静电防护，以防静电损坏。

声明:

对于本公司的所有规格的产品，在极限参数条件下应用会对芯片造成永久性损伤。

本规格书未经授权，不得进行全部或部分复制。本公司保留规格书的更改权，恕不另行通知。